

(51) Int.Cl.

H03K 17/60
H01L 27/08
H03K 17/72

(21) Application number : 60-021815

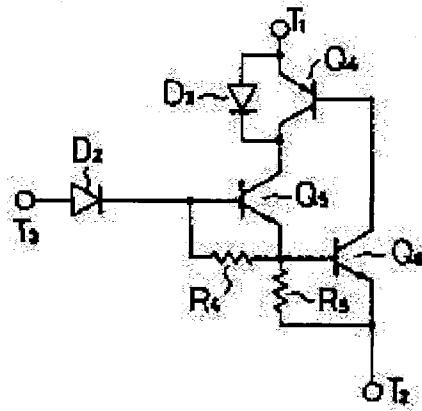
(71) Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22) Date of filing : 08.02.1985

(72) Inventor : INABE YASUNOBU
TANABE MASAAKI**(54) TRANSISTOR CIRCUIT****(57) Abstract:**

PURPOSE: To decrease the conductive voltage over a wide range in a main current by activating the circuit that the conductive voltage corresponds to one stage of PN junction when the main current is small and the voltage corresponds to 2-stage's share when the main current is large.

CONSTITUTION: In the region where the main current IA is small, the potential difference between the emitter and collector of a transistor (TR) Q4 is small and a D3 is not conductive. On the other hand, when the main current IA is large and the potential difference IC4.yC4 between the emitter and collector of the TR Q4 is larger than the conductive voltage for one stage of PN junction, the diode D3 is conductive. The collector potential of NPN TRs Q5, Q6 in this state is both a value decreased by one stage of PN junction from the potential at a terminal T1 and equal to each other. That is, in the region where the IA is large, the conductive voltage of the entire switch corresponds to 2 stages of PN junction and it is smaller than a conventional example.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Publication for Unexamined Patent
Application No. 182327/1986 (Tokukaishou 61-182327)**

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

Then, the current flows into the base of the NPN transistor Q_N , via a diode D_1 provided to give directional characteristic to the gate current, thereby turning on the transistor Q_N .

That way, I_G flows into the base of the transistor Q_6 , via the diode D_1 and R_4 or via a connection point of the base and emitter of the transistor Q_6 , thereby turning on the transistor Q_6 .

The base of the second transistor Q_5 is connected to a gate terminal T_3 , via a diode $D2$.

⑫ 公開特許公報 (A) 昭61-182327

⑬ Int.Cl.⁴H 03 K 17/60
H 01 L 27/08
H 03 K 17/72

識別記号

101

庁内整理番号

7105-5J
7925-5F
7105-5J

⑭ 公開 昭和61年(1986)8月15日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 トランジスタ回路

⑯ 特願 昭60-21815

⑰ 出願 昭60(1985)2月8日

⑱ 発明者 井鍋 泰宣 厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内

⑲ 発明者 田辺 雅秋 厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内

⑳ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代理人 弁理士 高山 敏夫 外1名

明細書

1. 発明の名称

トランジスタ回路

2. 特許請求の範囲

(1) 第1の導電型の第1のトランジスタと、第2の導電型の第2、第3のトランジスタと、PN接合素子とを具備し、前記の第1のトランジスタのエミッタを第1の主端子に接続し、そのベースと第3のトランジスタのコレクタとを接続し、前記の第1のトランジスタのコレクタと第2のトランジスタのコレクタとを接続し、第2のトランジスタのベースをゲート端子に接続し、第2のトランジスタのエミッタと第3のトランジスタのベースとを接続し、第3のトランジスタのエミッタを第2の主端子に接続し、前記の第1のトランジスタのエミッタ-コレクタ間に前記のPN接合素子を並列に接続したことを特徴とするトランジスタ回路。

(2) PN接合素子はダイオードであつて、該ダイオードの一端を前記第1のトランジスタのエミ

ッタに接続し、他端を第1のトランジスタのコレクタに接続したことを特徴とする特許請求の範囲第1項記載のトランジスタ回路。

(3) PN接合素子は第1の導電型の第4のトランジスタであつて、該第4のトランジスタのエミッタとベースとをそれぞれ前記第1のトランジスタのエミッタとコレクタとに接続し、第4のトランジスタのコレクタを前記第3のトランジスタのエミッタに接続したことを特徴とする特許請求の範囲第1項記載のトランジスタ回路。

(4) PN接合素子は第1の導電型の第5のトランジスタであつて、該第5のトランジスタのエミッタとベースとをそれぞれ前記第1のトランジスタのエミッタとコレクタとに接続し、第5のトランジスタのコレクタを前記第3のトランジスタのベースに接続したことを特徴とする特許請求の範囲第1項記載のトランジスタ回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は導通電圧の小さいトランジスタ・ス

イツチに関するものである。

(発明の概要)

本発明はトランジスタ回路において、第1の導電型の第1のトランジスタと、第2の導電型の第2、第3のトランジスタと、PN接合素子とを具備し、前記の第1のトランジスタのエミッタを第1の主端子に接続し、そのベースと第3のトランジスタのコレクタとを接続し、前記の第1のトランジスタのコレクタと第2のトランジスタのコレクタとを接続し、第2のトランジスタのベースをゲート端子に接続し、第2のトランジスタのエミッタと第3のトランジスタのベースとを接続し、第3のトランジスタのエミッタを第2の主端子に接続し、前記の第1のトランジスタのエミッタ・コレクタ間に前記のPN接合素子を並列に接続することにより、導通電圧を低くしたものである。

(従来技術及び発明が解決しようとする問題点)

大電流あるいは高電圧をスイッチング制御でき、しかも集積化が容易な半導体素子として、

チ_{Q1}を点弧するのに必要なゲート電流は、 V_{GK}/R_1 以上であればよく、 I_A に依存しない(ただし、 V_{GK} は Q_N のベース・エミッタ接合の導通電圧であり、 R_1 は抵抗 R_1 の値である。)ここで、抵抗 R_1 は Q_N のコレクタ・エミッタ間の降伏電圧の低下を防ぐために挿入されたものであり、これにより、スイッチがオフ状態にあるときに、 $T_1 - T_2$ 間の順方向の耐圧を確保することができる。以下、抵抗 $R_2 \sim R_5$ 、 R_6 もそれぞれ対応するNPNトランジスタのCE間耐圧を確保するためのものである。一方、スイッチオフ時の逆方向耐圧は、ダイオード D_1 やPNPトランジスタ Q_P 、 Q_4 のエミッタ・ベース間降伏電圧を大きくすることで確保する。また、このため Q_P や Q_4 は、いわゆるラテラル構造とする。従つて、たとえば $R_1 = 5\text{ k}\Omega$ とすれば 100 mA の I_A を流すのに($V_{GK} \sim 0.8\text{ V}$ であるから) I_G は 0.3 mA もあればよい。またスイッチ Q_1 がオン時の $T_1 \sim T_2$ 間の電圧(いわゆる、スイッチの導通電圧)は、 Q_N と Q_P がともに飽和状態にあることから、ほぼPN接

従来より、PNP N 4層構造の半導体スイッチがよく用いられている。第11図はこの種の半導体スイッチの一例を示すものであり、周知のようIC PNP Nスイッチ Q_1 は等価的にPNPトランジスタ Q_P とNPNトランジスタ Q_N でもつて表わすことができる。第11図でスイッチ Q_1 をオンとするには、ゲート端子 T_3 を介して図の外部よりゲート駆動電流 I_G を供給する。すると、該電流はゲート電流に方向性を与えるために設置されたダイオード D_2 を通してNPNトランジスタ Q_N のベースに流入し、トランジスタ Q_N がオンとなる。これにより、 Q_N のコレクタ電流としてPNPトランジスタ Q_P のベース電流が流れ、この結果、トランジスタ Q_P がオンとなり、スイッチ Q_1 全体がオンとなつて、アノード端子 T_1 を介して図の外部から主電流 I_A が流入し、カソード端子 T_2 を介して図の外部へと流れ去る。これ以降は I_G の供給を停止しても Q_P のコレクタ電流として Q_N のベース電流が供給されるので、スイッチ Q_1 はオン状態を維持する。また、スイッ

チ_{Q1}を点弧するのに必要なゲート電流は、 V_{GK}/R_1 以上であればよく、 I_A に依存しない(ただし、 V_{GK} は Q_N のベース・エミッタ接合の導通電圧であり、 R_1 は抵抗 R_1 の値である。)ここで、抵抗 R_1 は Q_N のコレクタ・エミッタ間の降伏電圧の低下を防ぐために挿入されたものであり、これにより、スイッチがオフ状態にあるときに、 $T_1 - T_2$ 間の順方向の耐圧を確保することができる。以下、抵抗 $R_2 \sim R_5$ 、 R_6 もそれぞれ対応するNPNトランジスタのCE間耐圧を確保するためのものである。一方、スイッチオフ時の逆方向耐圧は、ダイオード D_1 やPNPトランジスタ Q_P 、 Q_4 のエミッタ・ベース間降伏電圧を大きくすることで確保する。また、このため Q_P や Q_4 は、いわゆるラテラル構造とする。従つて、たとえば $R_1 = 5\text{ k}\Omega$ とすれば 100 mA の I_A を流すのに($V_{GK} \sim 0.8\text{ V}$ であるから) I_G は 0.3 mA もあればよい。またスイッチ Q_1 がオン時の $T_1 \sim T_2$ 間の電圧(いわゆる、スイッチの導通電圧)は、 Q_N と Q_P がともに飽和状態にあることから、ほぼPN接

合1段分の導通電圧($\sim 0.8\text{ V}$)に等しく、充分小さい値である。しかしながら、第11図の構成では上記のように、 Q_P と Q_N の間に正帰還動作が存在するために、単に I_G を停止しただけでは I_A を停止することができず、 Q_1 をオフにするには図の外部的な手段でもつて I_A の値をPNP Nスイッチ Q_1 のいわゆる保持電流よりも小さい値に低減することが必要である。

第12図はPNP Nスイッチにおける上記の欠点を除去するために提案された従来例である。

第12図において、NPNトランジスタ Q_5 、 Q_6 とPNPトランジスタ Q_4 から成るスイッチをオンとするには、ゲート端子 T_3 を介してゲート電流 I_G を供給する。これによつてダイオード D_2 および R_4 あるいはトランジスタ Q_5 のベース・エミッタ接合を通して I_G がトランジスタ Q_5 のベースに流入し、トランジスタ Q_5 がオンとなる。これにより、トランジスタ Q_4 のコレクタ電流としてトランジスタ Q_4 のベース電流が流れ、トランジスタ Q_4 がオンとなる。トランジスタ Q_4 のコレク

タ電流は、予めオン状態となつてゐるトランジスタ Q_4 を通つてトランジスタ Q_3 のベースへと到り、これにより、スイッチ全体がオンとなる。

またトランジスタ $Q_4 \sim Q_6$ から成るスイッチをオフとするにはゲート電流 I_G の供給を停止するだけでよい。すなわちゲート電流 I_G を停止することにより、トランジスタ Q_3 はベース電流の供給が停止してオフとなり、これによりトランジスタ Q_4 オフ $\rightarrow Q_6$ オフとなつてスイッチ全体がオフとなる。

スイッチがオン状態にあるときはトランジスタ $Q_4 \sim Q_6$ はすべて飽和状態にあり、端子 $T_1 - T_2$ 間のオン電圧 V_{on} は次式で与えられる。(ただし、 $T_1 \rightarrow T_2$ の主電流は第11図と同様に I_A のする。)

$$\begin{aligned} V_{on} &= V_{BE_6} + I_{C_4} (r_{C_4} + r_{C_5}) \\ &= V_{BE_6} + I_{C_6} \cdot r_{C_6} \end{aligned}$$

ただし

$V_{BE_1} : Q_1 (1 = 4, 6)$ のベース・エミッタ間導通電圧

$r_{Cj} : Q_j (j = 4 \sim 6)$ のコレクタ飽和抵抗

となる。

従つて、上式において $r_{C_6} = 0$ ($\because r_{C_6} \times I_{C_6} = 0$) とおいてよく、結局

$$V_{on} \sim V_{BE_6} + \frac{r_{C_4} \cdot r_{C_5}}{r_{C_4} + r_{C_5}} I_A \quad (1)$$

を得る。

また r_{Cj} は数 10Ω のオーダーであるので、 V_{on} と I_A の関係は、数 10Ω の傾きをもつことになる。たとえば $r_{C_4} = r_{C_5} = r_{C_6} = 40 \Omega$ とすると、 I_A が 40 mA のときに V_{on} はおよそ $V_{BE_6} + 0.8 \text{ V}$ となり、PN接合2段分と、かなり大きくなる。

第11図の構成では、 $r_{C_6} = 0 \Omega$ とおいたのと等価であるが、 Q_N と Q_P が一体化構造となつてゐるので、 r_{C_4} と r_{C_5} は非常に小さい(通常、数 Ω 以下である。)。

つまり、第12図の構成では I_A に対する V_{on} の依存性が大きく、 I_A が小さい領域では V_{on} がPN接合1段分の導通電圧と等しいが、 I_A が大きい領域では V_{on} がPN接合2段分の導通電圧を超えてしまうという欠点があつた。

第13図は、第12図における上記のごとき大電

I_{C1} : Q_1 のコレクタ電流

一方、 $I_A = I_{C_4} + I_{C_6}$

で、しかも $V_{BE_4} \sim V_{BE_6} \sim 0.8 \text{ V}$

であるので、結局

$$V_{on} \sim V_{BE_6} + \frac{(r_{C_4} + r_{C_5}) \cdot r_{C_6}}{r_{C_4} + r_{C_5} + r_{C_6}} \cdot I_A$$

となる。そして通常(集積化した場合には)NPNトランジスタはパータイカル構造であるので、電流増幅率が大きく(非飽和状態のエミッタ接地電流増幅率で $30 \sim 200$)、一方、PNPトランジスタはラテラル構造であるので電流増幅率は小さい(非飽和状態のエミッタ接地電流増幅率で $0.1 \sim 0.5$)。

そして、一般に導電型の相異なる2個のトランジスタのコレクタを接続した場合には、そのコレクタの電位は、電流増幅率の大きな方のトランジスタのエミッタ電位に近い値に設定される。特に上記のように電流増幅率の比が2桁程度以上となるとコレクタ電位は、電流増幅率の大きな方のトランジスタのエミッタ電位に等し

くなる。

従つて、上式において $r_{C_6} = 0$ ($\because r_{C_6} \times I_{C_6} = 0$) とおいてよく、結局

$V_{on} \sim V_{BE_6} + \frac{r_{C_4} \cdot r_{C_5}}{r_{C_4} + r_{C_5}} I_A \quad (1)$

を得る。

また r_{Cj} は数 10Ω のオーダーであるので、 V_{on} と I_A の関係は、数 10Ω の傾きをもつことになる。たとえば $r_{C_4} = r_{C_5} = r_{C_6} = 40 \Omega$ とすると、 I_A が 40 mA のときに V_{on} はおよそ $V_{BE_6} + 0.8 \text{ V}$ となり、PN接合2段分と、かなり大きくなる。

第11図の構成では、 $r_{C_6} = 0 \Omega$ とおいたのと等価であるが、 Q_N と Q_P が一体化構造となつてゐるので、 r_{C_4} と r_{C_5} は非常に小さい(通常、数 Ω 以下である。)。

スイッチをオフとするには、 I_G の供給を停止するだけでよい。 I_G の停止によりトランジスタ Q_4 のベース電流が停止してトランジスタ Q_3 がオフとなり、この結果、トランジスタ Q_3 がオフとなり、スイッチ全体がオフ状態となる。

さて、スイッチがオン状態にあるときの $T_1 - T_2$ 間の導通電圧は、トランジスタ Q_3 が飽和動作

で、トランジスタ Q_4 が非飽和動作であるので、次式で与えられる。

$$V_{on} = V_{D_1} + V_{BE_3} + I_{C_2} \cdot r_{C_2}$$

$$I_A = I_{C_1} + I_{C_2}$$

$$I_{C_2} = \beta_2 \cdot (I_G + I_{C_1})$$

ただし

V_{D_1} : ダイオード D_1 の導通電圧

V_{BE_3} : Q_3 のベース・エミッタ間導通電圧

I_{C_1}, I_{C_2} : Q_1, Q_2 のコレクタ電流

r_{C_2} : Q_2 のコレクタ飽和抵抗

β_2 : Q_2 のエミッタ接地電流増幅率

上式より

$$V_{on} = V_{D_1} + V_{BE_3} + \frac{r_{C_2} \cdot (I_A - \beta_2 \cdot I_G)}{\beta_2 + 1} \quad (2)$$

通常、 $\beta_2 \gg 1$ (たとえば 30 ~ 200) であり、 r_{C_2} は数 10 Ω (たとえば 30 Ω) であり、 I_G は V_{BE_3}/R_2 よりも大きな値 (たとえば Q_3 のベース・エミッタ間導通電圧を、 V_{BE_3} とすれば $V_{BE_3} = 0.8$ V, $R_2 = 5\text{ k}\Omega$ として $I_G = 0.3\text{ mA}$) でよいので、 $r_{C_2} \cdot \beta_2 \cdot I_G / (\beta_2 + 1)$ はほぼ 10 mA 程度である。一方、 $r_{C_2} / (\beta_2 + 1)$ は数 Η以下となる。

提供することを目的とする。

第 1 図は本発明のトランジスタ回路の第 1 實施例を示す。図において第 1 の導電型の第 1 のトランジスタ Q_4 のエミッタを第 1 の主端子 T_1 に接続し、そのベースと第 2 の導電型の第 3 のトランジスタ Q_3 のコレクタとを接続し、第 1 のトランジスタ Q_4 のコレクタと第 2 の導電型の第 2 のトランジスタ Q_2 のコレクタとを接続し、第 2 のトランジスタ Q_2 のベースをダイオード D_2 を介してゲート端子 T_0 に接続し、第 2 のトランジスタ Q_2 のエミッタと第 3 のトランジスタ Q_3 のベースとを接続し、第 3 のトランジスタ Q_3 のエミッタを第 2 の主端子 T_2 に接続し、第 1 のトランジスタ Q_4 のエミッタとコレクタ間にダイオード D_3 を並列に接続する。 R_1, R_2 は抵抗を示す。

第 1 図のように構成することにより主電流 I_A が小さい領域ではトランジスタ Q_4 のエミッタ・コレクタ間の電位差は小さく、ダイオード D_3 は導通状態とならないので、スイッチ全体の ($T_1 - T_2$ 間の) 導通電圧を第 12 図のものと同じにす

つまり、第 13 図の構成では、 I_A に対する V_{on} の依存性は小さくなつて、大電流領域でも V_{on} の値はほぼ P N 接合 2 段分の導通電圧でよい。しかしながら、低電流領域でも V_{on} はやはり P N 接合 2 段分であり、第 12 図の構成よりも V_{on} が大きいという欠点があつた。

導通電圧が大きい場合は装置全体に与える直流電圧を大とする必要があり、このために導通電圧が小であることが望まれる。

この種のスイッチ回路としては、回路構成が簡単であること、ゲートへの信号が停止されれば、これによつて主端子間の電流が停止されること及び主端子間の導通電圧が小さいことが望まれるが、これらの要件を同時に満足する回路は提案されていない。

(問題点を解決するための手段)

本発明は、これらの欠点を除去するために提案されたもので、主電流 I_A が小さい領域ではオン電圧 (導通電圧) を P N 接合 1 段分とし、大きい領域では 2 段分としたトランジスタ回路を

提供することができる。すなわち、ダイオード D_3 がオフ状態であるので第 12 図の構成と電気的に等価である。一方、主電流 I_A が大きくなつてトランジスタ Q_4 のエミッタ・コレクタ間の電位差 $I_{C_4} \cdot r_{C_4}$ が P N 接合 1 段分の導通電圧よりも大きい領域になると、ダイオード D_3 が導通状態となる。この状態では N P N トランジスタ Q_3 と Q_2 のコレクタの電位は、どちらも T_1 端子の電位から P N 接合 1 段分だけ下がつた値であつて、ほぼ等しいことから、第 13 図の構成と電気的には、ほぼ等価となる。すなわち、 I_A が大きな領域では、スイッチ全体の導通電圧はほぼ P N 接合 2 段分の値となり、第 12 図の従来例と比べて小さくすることができる。たとえば $r_{C_2} = 40\text{ }\Omega$ のとき、 I_{C_4} が 20 mA 以上では D_3 がオンとなつてスイッチの導通電圧が P N 接合 2 段分となる。一方、スイッチオフ時には、逆方向耐圧は D_3 と Q_4 のエミッタ・コレクタ間の降伏電圧を大きくすることで確保でき、順方向耐圧はトランジスタ Q_3 と Q_2 のベース・コレクタ間降伏電圧を大きくするこ

とで確保できる。

第2図は本発明の第2の実施例であつて、第1図のダイオードD₃をP N PトランジスタQ₁のエミッタ・ベース接合で置き換えるとともに、Q₁のコレクタを端子T₁へ接続したものである。このように構成することにより、スイッチオン時にはI_Aが大きな領域でT₁-T₂間がトランジスタQ₁で短絡されるので、第1図に比べて、スイッチの導通電圧をさらに低減することができる。スイッチオフ時のT₁-T₂間の耐圧を確保するにはトランジスタQ₄～Q₆の降伏電圧を第1図と同様に大きくするとともに、トランジスタQ₁のベース・エミッタ間とベース・コレクタ間の両接合の降伏電圧を大きくする。

第3図は本発明の第3の実施例であつて、第1図のダイオードD₃をP N PトランジスタQ₁のエミッタ・ベース接合で置き換えるとともに、トランジスタQ₆のコレクタを、N P NトランジスタQ₆のベースに接続したものである。こうすることにより、I_Aの大電流領域でトランジスタ

Q₆がオンとなるとトランジスタQ₆のコレクタ電流によつてトランジスタQ₆のベース電流が増大し、その分だけトランジスタQ₆のコレクタ電流が増大する。これは換言すれば、スイッチの導通電圧V_{on}が低減することになる。(何となれば、前記(2)式で示したようにV_{on}はI_Aの1次関数で表わされ、かつその係数が正であるからである。)

第4図は第12、13、第1、第2、第3図の構成によるトランジスタ・スイッチのV_{on}とI_Aの関係を実験により求めた結果である。

実験に際しては0～50mAの領域でI_Aをオン／オフ制御できるように、各トランジスタスイッチを構成しており、実験に用いた各トランジスタは集積化の製造プロセスにより試作したものであつて、P N Pトランジスタはベース・エミッタ接合とコレクタ・ベース接合の耐圧とも300V、N P Nトランジスタはベース・コレクタ接合の耐圧が300Vのものを用いている。

曲線C₁、C₂、C₃、C₄およびC₅がそれぞれ第3

図(本発明の第3例)、第2図(同第2例)、第1図(同第1例)、第13図および第12図に対応する。第4図から分かるように、本発明による構成(C₁～C₅)はI_Aが30mA以下では、第12図の構成と同じV_{on}-I_A特性を示し、またI_Aが30mAよりも大きい領域では第13図の構成よりも良好なV_{on}-I_A特性を示す。

第5図は第1図の構成を双方向化するのに際して構成素子数を少なくするように工夫したものである。すなわち、第1図のラテラルP N PトランジスタQ₁の2個分をP N PトランジスタQ₆は一体化したものである。ここで、トランジスタQ₆は、たとえば第9図のような構造により実現できる。ただし第9図でIは分離領域、Sは主表面、P₁～P₃はP形領域、N₁はN形領域、B₁はベース端子、E₁とE₂はエミッタ端子、C₁はコレクタ端子であつて、B₁、E₁、C₁、E₂はそれ第5図のB₁、E₁、C₁、E₂に對応する。つまり第5図のスイッチが順方向でオン動作するときには、D₂、Q₆とQ₆およびQ₆がオンとなる。こ

のときトランジスタQ₆はE₁がエミッタ、B₁がベース、C₁がコレクタとして動作する。またE₂は第2のコレクタとして動作する。従つて、I_Aの一部が第2コレクタ電流としてバイパスされる分だけ、第1図と比較してV_{on}-I_A特性が改善できる。またスイッチが逆方向でオン動作するときは、D₁、Q₆、Q₆およびQ₆がオンとなる。ただしこの時は、E₁がエミッタとなり、E₂が第2コレクタとなる。(第9図がラテラル構造であるためにE₁とE₂を入れ替えてトランジスタの電気的特性は変わらないのである。)第5図において、N P NトランジスタQ₆とQ₆あるいはQ₆とQ₆を、それぞれ一体化して、さらに素子数を低減することも可能である。このとき、これらのトランジスタはたとえば第8図に示したような構造で実現できる。第8図でIは分離領域、Sは主表面、N₁～N₃はN形領域、P₁とP₂はP形領域、C₁はコレクタ端子、B₁とB₂はベース端子、E₁とE₂はエミッタ端子であつて、それぞれ第5図に示したC₁、B₁、B₂、E₁およびE₂に對応する。

第6図は第8図の構成を双方向化するのに際して、構成素子数を少なくするように工夫したものである。すなわち、第1図のPNPトランジスタQ₁の2個分を第6図では1個のPNPトランジスタQ₁でもつて実現している。これは集積化した場合にPNPトランジスタがラテラル構造であるので、エミッタとコレクタとを入れ替える電気的特性が変わらないということを利用している。その他の回路要素については第5図のものと同じである。

第7図は第3図の構成を双方向化するのに際して回路素子数を低減するように工夫したものである。すなわち、第3図のPNPトランジスタQ₈の2個分を第7図ではPNPトランジスタQ₁₀に一体化したものであつて、Q₁₀はたとえば第10図に示したような構成で実現できる。第10図でIは分離領域、Sは主表面、N₁はN形領域、P₁～P₄はP形領域、B₄はベース端子、C₄とC₄はコレクタ端子、E₄とE₄はエミッタ端子であつて、B₄、C₄、C₄、E₄およびD₄は、それぞれ第7図中

に示したB₄、C₄、C₄、E₄およびD₄と対応する。すなわち、スイッチが順方向でオンとなる(D₂、Q₅、Q₆、Q₇がオンとなる)ときは、E₄がエミッタ、B₄がベース、C₄がコレクタとして動作する。このときE₄は第2のコレクタとして動作し、これにより主電流I_Aの一部分がバイパスされる分だけ第7図のV_{on}-I_A特性は第3図のものよりも改善される。スイッチが逆方向でオンとなる(D₆、Q₅、Q₆、Q₇がオンとなる)ときは、E₄がエミッタ、B₄がベース、C₄がコレクタ、E₄が第2のコレクタとして動作する。その他の回路要素については第5図のものと同じである。

(発明の効果)

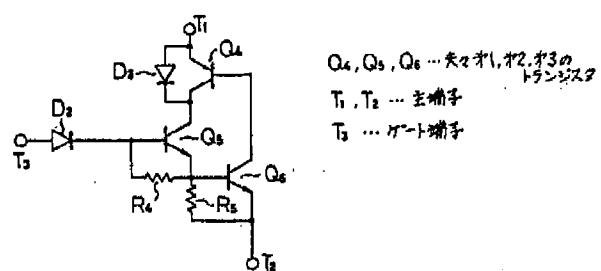
以上説明したように、本発明によるトランジスタ・スイッチ回路によれば、主電流が小さい領域では導通電圧はPN接合1段分であり、大きい領域では2段分となるように動作するので、主電流の広い範囲にわたって導通電圧を小さくできるという効果を有するものである。

4. 図面の簡単な説明

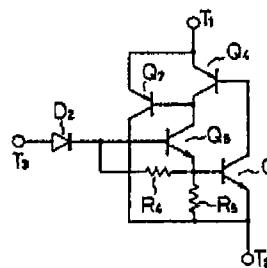
第1図乃至第3図及び第5図乃至第7図は夫夫本発明のトランジスタ回路の実施例、第4図は従来回路と本発明による回路との特性の比較を示す図、第8図乃至第10図は本発明に適用できる集積化トランジスタの模擬断面形状、第11図は従来のPNP-NPNスイッチの等価回路図、第12図及び第13図は従来のトランジスタ回路の回路図を示す。

Q_P、Q_N、Q₁～Q₁₀、Q_E、Q_F ……トランジスタ
D₁～D₄、D₁'、D₂' ……ダイオード
R₁～R₅、R₁'、R₂' ……抵抗
T₁～T₃、B₁～B₄、C₁～C₄、E₁～E₄ ……端子
I、N₁～N₄、P₁～P₄ ……領域
S ……主表面

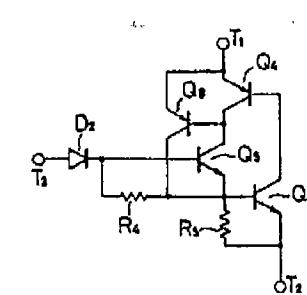
第1図



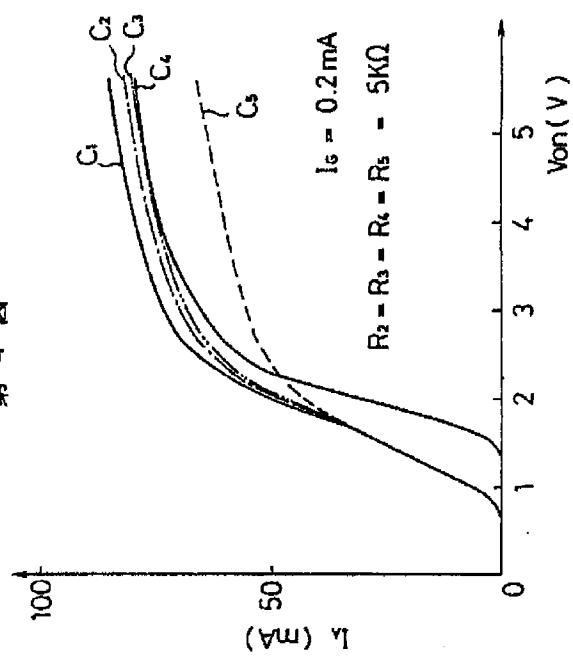
第2図



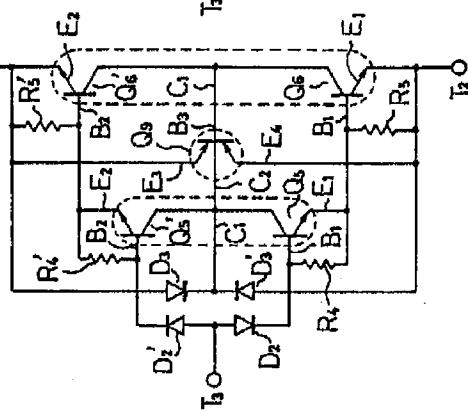
第3図



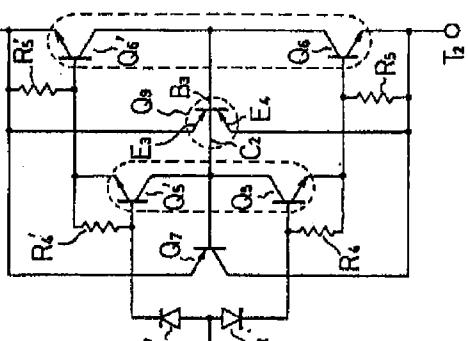
第4図



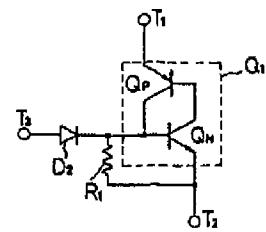
第5図



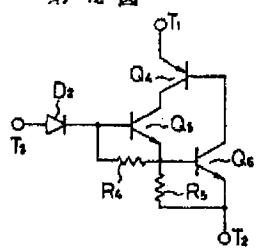
第6図



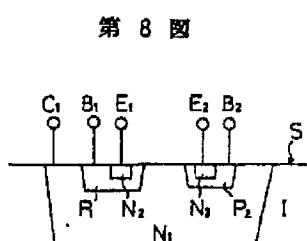
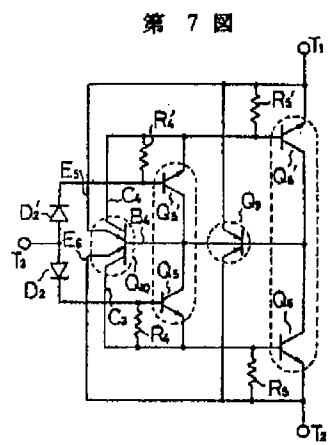
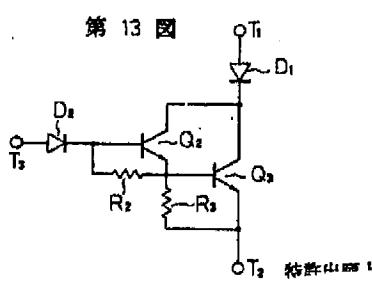
第11図



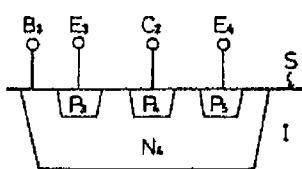
第12図



第13図



第9図



第10図

